

KR2000-0065896

TITLE OF THE INVENTION: SEMICONDUCTOR PACKAGE

ABSTRACT:

A semiconductor package includes a semiconductor chip (12) having a bonding pad (32) formed on peripheral surfaces, except lower peripheral surfaces; a film attachment means (14) attached to the inner region of the bonding pad (32) of the semiconductor chip (12); a PCB (10) attached to a surface of the film attachment means (14) and including a resin layer (22), a conductive pattern (16) etched into a surface of the resin layer (22), and a cover coat (24) applied while exposing the upper and lower ends of the conductive pattern (16); a wire (30) connected between the upper end of the conductive pattern (16) exposed to the bonding pad (32) of the semiconductor chip (12) and that exposed to the cover coat (24) layer; and a resin (18) for molding the semiconductor chip (12), the film attachment means (14), the PCB (10), and the conductive pattern (16) while exposing the lower end of the PCB (10) to the exterior. The semiconductor package can be mounted on a mother board in an upright position for minimized mounting area.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/04

(11) 공개번호
(43) 공개일자

특2002-0036041
2002년05월16일

(21) 출원번호 10-2000-0065896

(22) 출원일자 2000년11월07일

(71) 출원인 앵코 테크놀로지 코리아 주식회사, 마이클 디. 오브라이언
대한민국

500-470

광주 북구 대촌동 957

(72) 발명자

임세진

대한민국

120-094

서울특별시서대문구홍제4동104-268/3

김상훈

대한민국

142-076

서울특별시강북구수유6동313-273층

(74) 대리인

허상훈

(77) 심사청구

없음

(54) 출원명 반도체 패키지

요약

본 발명은 마더보드에 대한 실장면적을 최소화시킬 수 있도록 한 구조의 반도체 패키지에 관한 것으로서, 하부쪽 테두리면을 제외한 나머지 테두리면에 본딩패드(32)가 형성된 반도체 칩(12)과; 상기 반도체 칩(12)의 본딩패드(32) 안쪽 영역에 걸쳐 부착된 필름 접착수단(14)과; 수지층(22)과, 이 수지층(22)의 표면에 에칭된 전도성패턴(16)과, 이 전도성패턴(16)의 상단끝과 하단끝 부분을 노출시키면서 도포된 커버코트(24)로 구성되어, 상기 필름 접착수단(14)의 표면에 부착되는 인쇄회로기판(10)과; 상기 반도체 칩(12)의 본딩패드(32)와 상기 커버코트(24)층으로 노출된 전도성패턴(16)의 상단 끝부분간에 연결된 와이어(30)와; 상기 인쇄회로기판(10)의 하단끝을 외부로 노출시키면서 상기 반도체 칩(12)과 필름 접착수단(14)과 인쇄회로기판(10)과 전도성패턴(16)등을 몰딩하고 있는 수지(18)로 구성된 것을 특징으로 하는 반도체 패키지를 제공하고자 한 것이다.

이에, 마더보드에 반도체 패키지를 수직으로 세워서 실장함에 따라, 마더보드에 대한 반도체 패키지의 실장 면적을 최소화시킬 수 있는 장점을 제공하게 된다.

대표도

도2

색인어

반도체 패키지, 수직형, 마더보드, 실장 면적

(57) 청구의 범위

청구항 1.

하부쪽 테두리면을 제외한 나머지 테두리면에 본딩패드가 형성된 반도체 칩과;

상기 반도체 칩의 본딩패드 안쪽 영역에 걸쳐 부착된 필름 접착수단과;

수지층과, 이 수지층 표면에 식각처리된 전도성패턴과, 이 전도성패턴의 상단끝과 하단끝 부분을 노출시키면서 도포된 커버코트로 구성되어, 상기 필름 접착수단의 표면에 부착되는 인쇄회로기판과;

상기 반도체 칩의 본딩패드와 상기 커버코트층으로 노출된 전도성패턴의 상단 끝부분간에 연결된 와이어와;

상기 인쇄회로기판의 하단부를 외부로 노출시키면서 상기 반도체 칩과 필름 접착수단과 와이어와 인쇄회로기판등을 몰딩하고 있는 수지로 구성된 것을 특징으로 하는 반도체 패키지.

청구항 2.

제 1 항에 있어서, 상기 인쇄회로기판의 하단부는 측면 몰딩라인과 평행을 이루며 상부쪽보다 넓은 폭으로 형성된 것을 특징으로 하는 반도체 패키지.

청구항 3.

제 1 항에 있어서, 상기 몰딩수지의 외부로 노출된 인쇄회로기판의 하단부는 소정의 길이를 갖는 다수의 바 형태로 나누어지게 하여, 마더보드에 실장시 끼워질 수 있도록 한 것을 특징으로 하는 반도체 패키지.

청구항 4.

제 1 항 또는 제 3 항에 있어서, 상기 인쇄회로기판의 전도성패턴의 상단 끝부분은 반도체 칩의 각 본딩패드와 서로 마주보게 배치되어 노출되고, 하단 끝부분은 상기 인쇄회로기판의 하단끝에 형성된 바의 표면까지 연장되어 노출된 것을 특징으로 하는 반도체 패키지.

청구항 5.

제 1 항 또는 제 3 항에 있어서, 상기 인쇄회로기판의 하단끝에 형성된 바를 상기 몰딩수지면과 평행하게 노출시켜, 상기 바에 노출된 전도성패턴에 인출단자를 부착시킬 수 있도록 한 것을 특징으로 하는 반도체 패키지.

청구항 6.

제 5 항에 있어서, 상기 인출단자는 전도성의 솔더볼인 것을 특징으로 하는 반도체 패키지.